

PATENT ABSTRACTS OF JAPAN

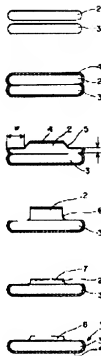
(11)Publication number : **07-045485**(43)Date of publication of application : **14.02.1995**

(51)Int.Cl.

H01L 21/02
H01L 21/304(21)Application number : **05-157552**(71)Applicant : **SUMITOMO SITIX CORP**(22)Date of filing : **28.06.1993**(72)Inventor : **TOMITA SHINICHI****(54) FABRICATION OF BONDED SEMICONDUCTOR SUBSTRATE****(57)Abstract:**

PURPOSE: To provide a method for fabricating a bonded semiconductor substrate in which unbonded part is eliminated from the peripheral part thereof while preventing generation of flaw or particles.

CONSTITUTION: The method for fabricating a bonded semiconductor substrate 1 comprises a step for fitting first and second semiconductor wafers 2, 3 tightly on the main surfaces thereof and bonding each other by heat treatment in an oxidizing atmosphere, a step for grinding the first semiconductor wafer on the peripheral part thereof up to a thickness causing no damage on the second semiconductor wafer, and a step for exposing the oxide on the periphery of second semiconductor wafer using an etching liquid exhibiting higher etching rate for the semiconductor wafer than for the oxide 4. The method further comprises a step for bonding both semiconductor wafers, a step for grinding the first wafer 1 on the periphery thereof up to a thickness causing no damage on the second wafer 3 by means of a grinding wheel containing diamonds of 100 μ m or larger, and a step for grinding the first wafer 2 as thin as 1 μ m or less.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-45485

(43) 公開日 平成7年(1995)2月14日

(51) Int. Cl.⁶

H 0 1 L 21/02

21/304

識別記号

B

3 2 1 M

片内整理番号

F 1

技術表示箇所

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平5-157552

(22) 出願日 平成5年(1993)6月28日

(71) 出願人 000205351

住友シテックス株式会社
兵庫県尼崎市東浜町1番地

(72) 発明者 富田 真一

佐賀県杵島郡江北町大字上小田2201番地
住友シテックス株式会社九州事業所内

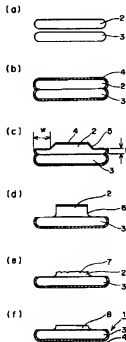
(74) 代理人 弁理士 森 正登

(54) 【発明の名称】 接着半導体基板の製造方法

(57) 【要約】 (修正有)

【目的】 接着半導体基板の周縁部に未接着部分が生ぜず、接着半導体基板に傷やパーティクルの発生の心配のない接着半導体基板の製造方法を提供すること。

【構成】 第1半導体ウエーハ2と第2半導体ウエーハ3の主面同士を密着し、酸化性雰囲気内での熱処理により接着する工程と、第1半導体ウエーハの周縁部を第2半導体ウエーハにダメージが達しない厚みまで研削する工程と、酸化膜4に比べて半導体ウエーハのエッチング速度が大きいエッチング液により第2半導体ウエーハ周縁部の酸化膜を露出する工程とを有する接着半導体基板1の製造方法。前記同様にして双方の半導体ウエーハを接着する工程と、第1半導体ウエーハの周縁部を第2半導体ウエーハにダメージが達しない厚みまで、100 μ m以上のダイヤモンドを含有する砥石により研削する工程と、第1の半導体ウエーハを1 μ m以下の厚みまで研削研磨を行なう工程とを有する接着半導体基板の製造方法。



【特許請求の範囲】

【請求項1】 外周に面取りが施され主面が鏡面研磨された第1半導体ウエーハと第2半導体ウエーハの主面同士、又は外周に面取りが施され主面が鏡面研磨された第1半導体ウエーハと第2半導体ウエーハのうち、少なくとも一方の主面に酸化膜を形成して前記第1半導体ウエーハと第2半導体ウエーハの主面同士を密着し、酸化性雰囲気内での熱処理により接着する工程と、

前記第1半導体ウエーハの周縁部を、前記第2半導体ウエーハにダメージが達しない厚みまで研削する工程と、酸化膜に比べて半導体ウエーハのエッチング速度が大きいエッチング液により、酸化性雰囲気内で形成された前記第2半導体ウエーハ周縁部の酸化膜を露出する工程と、

を有することを特徴とする接着半導体基板の製造方法。

【請求項2】 前記接着熱処理工程における酸化性雰囲気、ドライ酸素雰囲気よりも酸化レートの高い酸化性雰囲気である請求項1記載の接着半導体基板の製造方法。

【請求項3】 外周に面取りが施され主面が鏡面研磨された第1半導体ウエーハと第2半導体ウエーハの主面同士、又は外周に面取りが施され主面が鏡面研磨された第1半導体ウエーハと第2半導体ウエーハのうち、少なくとも一方の主面に酸化膜を形成して前記第1半導体ウエーハと第2半導体ウエーハの主面同士を密着し、酸化性雰囲気内での熱処理により接着する工程と、

前記第1半導体ウエーハの周縁部を、前記第2半導体ウエーハにダメージが達しない厚みまで、 $1.00\mu\text{m}$ 以上のダイヤモンドを含有する砥石により研削する工程と、前記第1の半導体ウエーハを $1\mu\text{m}$ 以下の厚みまで研削研磨を行なう工程と、

を有することを特徴とする接着半導体基板の製造方法。

【請求項4】 前記第1半導体ウエーハ周縁部研削工程の後、エッチング工程と、前記第1半導体ウエーハを $1\mu\text{m}$ 以上の厚みまで研削研磨を行なう工程と、

を有する請求項3記載の接着半導体基板の製造方法。。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、2枚の半導体ウエーハを密着して一体化して製造される接着半導体基板の製造方法に関する。

【0002】

【従来の技術】一般に、2枚のシリコンウエーハを密着して一体化して製作される接着半導体基板が知られている。この種の接着半導体基板は、従来において、例えば以下の方法により製造される。以下に従来の製造方法について図4(a)～(e)に示す製造工程を参照して説明する。

【0003】まず、図4(a)に示すような第1シリコンウエーハ22と第2シリコンウエーハ23の表面の清

浄化処理を行ない、次に、図4(b)に示すように、第1シリコンウエーハ22と第2シリコンウエーハ23を室温で密着させ、 800°C 以上の温度で熱処理を施して双方のシリコンウエーハを接着する。

【0004】次に、図4(c)に示すように、例えばダイヤモンド径が $30\sim40\mu\text{m}$ を含有するグラインダーにより第1シリコンウエーハ22を $20\mu\text{m}$ 程度残すまで研削し、さらに、図4(d)に示すように、エッチングによりダメージ25を除去し、第1シリコンウエーハ22を $10\mu\text{m}$ 程度残す。その後、図4(e)に示すように、研磨を行なうことにより、所望の厚さの活性領域層27となるように形成して、接着半導体基板が製造される。尚、図5中、21は接着半導体基板、24は酸化膜、25は研削によるダメージ、26はエッチング面を示す。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の製造方法により製造された接着半導体基板においては、周縁部に接着していない部分があるために、グラインダーによる研削過程において剥がれが発生し、図6に示すように、周縁部に半径方向の微小な凹凸29が連続的に存在してしまう問題があった。尚、図6中、28は接着・未接着ラインを示す。

【0006】さらに、第1シリコンウエーハの研磨時に、上記周縁部の凹凸部が剥がれて飛散して接着半導体基板の表面が傷つけられたり、洗浄時に、パーティクルにより汚染されるという不具合が発生する。

【0007】このような不具合を防止するために、接着半導体基板の第1シリコンウエーハ周縁部を第2シリコンウエーハに達するまで研削して未接着部分を除去することが考えられるが、この方法によれば、接着半導体基板の周縁部の形状が悪くなり、スリップおよびダストが発生しやすくなるという問題が生ずる。

【0008】また、第1シリコンウエーハの周縁部のみを直径が $30\sim40\mu\text{m}$ のダイヤモンドを含有する砥石により研削する方法があるが、これによっても、上述した図6に示す微小な凹凸が発生してしまう不具合があった。

【0009】さらに、組エッチングマスタテープを第2シリコンウエーハの裏面および第1シリコンウエーハのグラウンダー面上に上記周縁部だけを残して貼り付け、周縁部の微小な凹凸のみをエッチングにより除去することが可能であるが、これによれば工程数が複雑となって製造コストが嵩む不具合がある。

【0010】そこで、本発明は、接着半導体基板の周縁部に未接着部分が生ずる、接着半導体基板に傷やパーティクルの発生の心配のない接着半導体基板の製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】第1本発明に係る接着半

導体基板の製造方法は、外周に面取りが施され主面が鏡面研磨された第1半導体ウエーハと第2半導体ウエーハの主面同士、又は外周に面取りが施され主面が鏡面研磨された第1半導体ウエーハと第2半導体ウエーハのうち、少なくとも一方の主面に酸化膜を形成して前記第1半導体ウエーハと第2半導体ウエーハの主面同士を密着し、酸化性雰囲気内での熱処理により接着する工程と、前記第1半導体ウエーハの周縁部を、前記第2半導体ウエーハにダメージが達しない厚みまで研削する工程と、酸化膜に比べて半導体ウエーハのエッチング速度が大きいエッチング液により、酸化性雰囲気内で形成された前記第2半導体ウエーハ周縁部の酸化膜を露出する工程と、を有する構成とされている。

【0012】また、前記接着熱処理工程における酸化性雰囲気が、ドライ酸素雰囲気よりも酸化レートの高い酸化性雰囲気である構成とされている。

【0013】第2本発明に係る接着半導体基板の製造方法は、外周に面取りが施され主面が鏡面研磨された第1半導体ウエーハと第2半導体ウエーハの主面同士、又は外周に面取りが施され主面が鏡面研磨された第1半導体ウエーハと第2半導体ウエーハのうち、少なくとも一方の主面に酸化膜を形成して前記第1半導体ウエーハと第2半導体ウエーハの主面同士を密着し、酸化性雰囲気内での熱処理により接着する工程と、前記第1半導体ウエーハの周縁部を、前記第2半導体ウエーハにダメージが達しない厚みまで、 $100\mu\text{m}$ 以上のダイヤモンドを含む砥石により研削する工程と、前記第1の半導体ウエーハを $1\mu\text{m}$ 以下の厚みまで研削研磨を行なう工程と、を有する構成とされている。

【0014】また、前記第1半導体ウエーハ周縁部研削工程の後に、エッチング工程と、前記第1半導体ウエーハを $1\mu\text{m}$ 以上の厚みまで研削研磨を行なう工程と、を有する構成とされている。

【0015】

【作用】第1の発明方法によれば、酸化膜により覆われた第1半導体ウエーハの周縁部のみを研削によって除去し、第1半導体ウエーハの周縁部にシリコン面を露出させた後に、酸化膜に比べて半導体ウエーハのエッチング速度の大きいエッチング液によりエッチングを行なうことにより、第1半導体ウエーハの周縁部のみが急速にエッチングされて除去される。

【0016】したがって、第2半導体ウエーハの形状を変えることなく、第1半導体ウエーハ周縁部の未接着部分を除去することができ、また、研磨時の傷や洗浄時のダスト（パーティクル）の発生の心配がなくなり、デバイス工程時のスリップおよびダストの発生を低減することが可能となる。

【0017】第2の発明方法によれば、酸化膜により覆われた第1半導体ウエーハの周縁部のみを粗い砥石によって、第2半導体ウエーハにダメージが達しない厚みま

で研削することにより、第1半導体ウエーハの周縁部の未接着部分の全てが割れて未接着部分が確実に除去される。さらに、この後に行なわれる第1半導体ウエーハを $1\mu\text{m}$ 以下の厚みに研磨する研磨処理や、エッチング処理により、周縁部の割れによるダメージが除去される。

【0018】したがって、第2半導体ウエーハの形状を変えることなく、容易に第1半導体ウエーハ周縁部の未接着部分を除去することができ、同様に、研磨時の傷の発生や洗浄時のダストの発生の心配がなくなり、さらに、デバイス工程時のスリップおよびダストの発生を低減することが可能となる。

【0019】

【実施例】以下に、第1本発明に係る接着半導体基板の製造方法の一実施例を図面に基づき説明する。図1

(a)～(f)は本実施例における接着半導体基板の製造工程順序を示す断面図、図2は接着半導体基板の平面図である。

【0020】接着半導体基板1を製造するには、まず、図1(a)に示すように、第1シリコンウエーハ2および第2シリコンウエーハ3の表面の清浄化処理を行なう。尚、SOI(Silicon on Insulator)半導体基板を作成する場合には、少なくとも一方のシリコンウエーハが酸化されたものを用いる。

【0021】次に、図1(b)に示すように、第1シリコンウエーハ2と第2シリコンウエーハ3とを室温で密着させた状態で、 800°C 以上の温度の酸化性雰囲気、例えば O_2 、 H_2O において熱処理を施して第1シリコンウエーハ2と第2シリコンウエーハ3とを接着し、接着された第1シリコンウエーハ2および第2シリコンウエーハ3の外周面に酸化膜4を形成する。

【0022】さらに、図1(c)に示すように、径径が $30\sim40\mu\text{m}$ のダイヤモンド粉末を含む砥石により、第1シリコンウエーハ2の周縁部を、第2シリコンウエーハ3にダメージが達しない厚みまで研削し、シリコンを露出させる。図中、5は露出したシリコン面を示す。この時、接着された双方のシリコンウエーハの周縁部には図6に示す半径方向の微小な凹凸29が連続的に存在している。

【0023】尚、上記研削する場合、第1シリコンウエーハ2の周縁部の残す厚み t としてはできるだけ薄いほうがよい。また、研削幅 w もできるだけ狭くするほうがよく、できるだけ図6中の接着・未接着ライン28に沿って研削を行なうのがよい。これにより、活性領域を広くとることができる。

【0024】次に、図1(d)に示すように、酸化膜に比べてシリコンのエッチング速度の大きいエッチング液、例えば KOH 液によりエッチングする。図中、6はエッチング面を示す。この時、接着処理時に第2シリコンウエーハ3の周縁部の未接着部分を含む外周部に酸化膜4が形成されているために、上述した露出しているシ

リコン面5のみが急速にエッチングされ、図2に示すように、第1シリコンウエーハ2の未接着部分が除去される。

【0025】尚、このエッチング時に、形成された酸化膜が薄い場合には、第1シリコンウエーハ2の未接着部分が除去される前に酸化膜が除去されて、第2シリコンウエーハ3をエッチングしてしまい、第2シリコンウエーハの形状を変形させてしまう。このために、酸化膜としては、厚いほうが好ましく、接着処理としても、低温で短時間で酸化膜成長速度の大きい水蒸気酸化又はウェット酸化により行なうことが好ましい。

【0026】最後に、図1(e)に示すように、第1シリコンウエーハ2の表面を研削研磨し、図1(f)に示すように、活性領域層8を形成して接着半導体基板1が得られる。尚、図1(e)中、7は研削面を示す。

【0027】このようにして製造された接着半導体基板においては、シリコンウエーハの面取り形状が変形することがなくなり、シリコンウエーハの面取り形状をそのまま接着半導体基板の面取り形状とすることができ、また、研磨時の傷や洗浄時のダスト(パーティクル)の発生の心配がなく、デバイス工程時のスリップおよびダストの発生を低減することが可能となる。

【0028】次に、第2発明に係る製造方法の第1実施例を図面に基づき説明する。図3(a)～(e)は本実施例における接着半導体基板1の製造工程順序を示す断面図である。

【0029】本実施例において、図3(a)および図3(b)に示す第1および第2工程では、上記実施例と同様の処理により、シリコンウエーハ2、3の表面の清浄化処理、接着処理および酸化膜形成処理が行なわれる。

【0030】次に、酸化膜4の形成処理が行なわれた双方のシリコンウエーハ2、3を、図3(c)に示すように、直径が100 μm 以上のダイヤモンド粉末を含有する砥石により、第1シリコンウエーハ2の周縁部を第2シリコンウエーハ3にダメージが達しない厚みまで研削する。この時、研削によるダメージが大きいために、第1シリコンウエーハ2の周縁部の未接着部分が接着未接着ラインに沿って割れる。図3(c)中、9は研削によるダメージを示し、10は割れたシリコン面を示す。

【0031】尚、上記研削する場合、研削幅 w としては、できるだけ狭くするほうがよく、できるだけ図6中の接着・未接着ライン28に沿って研削を行なうのがよい。これにより、活性領域を広くとることができ。

【0032】次に、図3(d)に示すように、第1シリコンウエーハ2を10 μm 程度残すまで研削し、最後に、図3(e)に示すように、第1シリコンウエーハ2を1 μm 以下に研削して、活性領域層8を形成して接着半導体基板1が得られる。図3(d)中、7は研削面を示す。

【0033】尚、上記第1シリコンウエーハ2周縁部分

の研削によって、第1シリコンウエーハ2の割れたシリコン面10に形成されたダメージは、研磨工程時のクロスによるグレによって除去される。

【0034】このようにして製造した場合には、活性領域層の厚さが1 μm 以下の接着半導体基板1を得ることが可能となり、また、上記実施例と同様に、研磨時の傷や洗浄時のダスト(パーティクル)の発生の心配がなく、デバイス工程時のスリップおよびダストの発生を低減することができる。

【0035】さらに、第2発明に係る製造方法の第2実施例を図面に基づき説明する。図4(a)～(f)は本実施例における接着半導体基板1の製造工程順序を示す断面図である。

【0036】本実施例において、図4(a)～図(c)に示す第1工程、第2工程、および第3工程では、上記実施例と同様の処理により、シリコンウエーハ2、3の表面の清浄化処理、接着処理と酸化膜形成処理、および研削処理が行なわれる。

【0037】さらに、上記図4(c)に示す研削処理の後には、図4(d)に示すように、酸化膜に比べてシリコンのエッチング速度の大きいエッチング液、例えばKOH液によりエッチングを行なう。図4(d)中、6はエッチング面を示す。

【0038】このエッチングにおいて、第2シリコンウエーハ3周縁部の未接着部分を含む外周に上記接着熱処理時に酸化膜4が形成されているため、周縁研削により露出したシリコン面11および割れたシリコン面10のみが急速にエッチングされ、割れたシリコン面10のダメージが除去される。

【0039】次に、図4(d)に示すように、第1シリコンウエーハ2を20 μm 程度残すまで研削し、最後に、図4(e)に示すように、第1シリコンウエーハ2を10 μm 程度研削して10 μm の活性領域層8を形成する。このようにして、活性領域層8の厚さが1 μm 以上の接着半導体基板が得られる。尚、図4(e)中、7は研削面を示す。

【0040】このようにして製造した場合には、シリコンウエーハの面取り形状が変形することがなく、シリコンウエーハの面取り形状をそのまま接着半導体基板の面取り形状とすることができ、また、研磨時の傷や洗浄時のダスト(パーティクル)の発生の心配がなく、デバイス工程時のスリップおよびダストの発生を低減することが可能となる。

【0041】

【発明の効果】以上説明したように、第1の発明方法によれば、酸化膜により覆われた第1半導体ウエーハの周縁部のみを研削によって除去し、第1半導体ウエーハの周縁部にシリコン面を露出させた後に、酸化膜に比べて半導体ウエーハのエッチング速度の大きいエッチング液によりエッチングを行なうことにより、第1半導体ウエー

ーハの周縁部のみが急速にエッチングされて除去される。

【0042】したがって、第2半導体ウエーハの形状を変えることなく、第1周縁部の未接着部分を除去することができ、また、研磨時の傷の発生や洗浄時のダスト（パーティクル）の発生の心配がなくなり、さらにデバイス工程時のスリップおよびダストの発生を低減することが可能となる。

【0043】また、第2の発明方法によれば、酸化膜により覆われた第1半導体ウエーハの周縁部のみを粗い砥石によって、第2半導体ウエーハにダメージが達しない厚みまで研削することにより、第1半導体ウエーハの周縁部の未接着部分の全てが割れて未接着部分が確実に除去される。さらに、この後に行なわれる第1半導体ウエーハを $1\mu\text{m}$ 以下の厚みに研磨する研磨処理や、エッチング処理により、周縁部の割れによるダメージが除去される。

【0044】したがって、第2半導体ウエーハの形状を変えることなく、容易に第1周縁部の未接着部分を除去することができ、同様に、研磨時の傷や洗浄時のダスト（パーティクル）の発生の心配がなくなり、さらにデバイス工程時のスリップおよびダストの発生を低減するこ

とが可能となる。

【0045】この結果、通常、半導体ウエーハの面取り形状を接着半導体基板の面取り形状として使用することができ、品質の良い接着半導体基板を得ることが可能となる。

【図面の簡単な説明】

【図1】（a）～（f）は第1発明方法の実施例に係り、製造工程を示す断面図である。

【図2】接着半導体基板の平面図である。

【図3】（a）～（e）は第2発明方法の第1実施例に係り、製造工程を示す断面図である。

【図4】（a）～（f）は第2発明方法の第2実施例に係り、製造工程を示す断面図である。

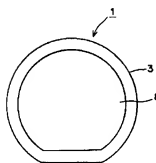
【図5】（a）～（e）は従来の接着半導体基板の製造工程を示す断面図である。

【図6】従来の接着半導体基板の平面図である。

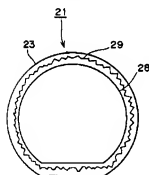
【符号の説明】

- 1 接着半導体基板
- 2 第1半導体ウエーハ
- 3 第2半導体ウエーハ
- 4 酸化膜

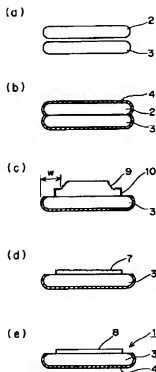
【図2】



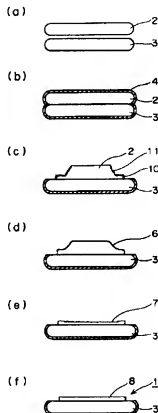
【図6】



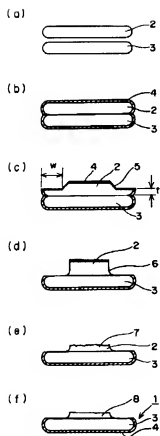
【図3】



【図4】



【図1】



【図5】

